

Εργαστηριακές Ασκήσεις

ΕΡΓΑΣΤΗΡΙΟΥ ΨΗΦΙΑΚΩΝ ΣΥΣΤΗΜΑΤΩΝ

ΤΕΤΑΡΤΗ ΣΕΙΡΑ ΑΣΚΗΣΕΩΝ (ΕΑ4)

4. Κατασκευή διαύλων δεδομένων (data buses) – Καλωδιωμένη λογική

4.1. Εισαγωγή

Για την κατασκευή διαύλων δεδομένων με την χρήση καλωδιωμένης λογικής χρησιμοποιείται συνήθως ένα ειδικό είδος πολύπλεξης, όπου έξοδοι πυλών ειδικής κατασκευής συνδέονται γαλβανικά μεταξύ τους και η σύνδεση αυτή επιτελεί συγκεκριμένη λογική λειτουργία. Η ακριβής λειτουργία που επιτελείται εξαρτάται από το είδος των πυλών και τον τρόπο σύνδεσης τους, όπως θα φανεί στα επόμενα. Οι πιο συνηθισμένες οικογένειες τέτοιων πυλών είναι:

- τα τρισταθή (three-state or tristate) κυκλώματα,
- τα κυκλώματα TTL με εξόδους ανοικτού συλλέκτη (open collector) ή ανοικτού εκπομπού (open emitter), που είναι κατασκευασμένα με διπολικά τρανζίστορ και
- οι πύλες μετάδοσης (transmission gates), που είναι τεχνολογίας CMOS.

Σε αυτή τη σειρά ασκήσεων θα χρησιμοποιηθούν κυκλώματα τρισταθή και ανοικτού συλλέκτη για την δημιουργία διαύλων δεδομένων με την χρήση καλωδιωμένης λογικής. Για τα κυκλώματα αυτά, *προετοιμαστείτε κατάλληλα, διαβάζοντας οπωσδήποτε το κεφάλαιο 10-5 του M. Mano.*

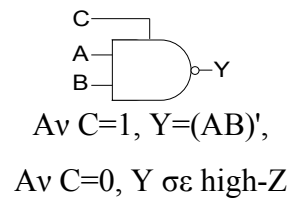
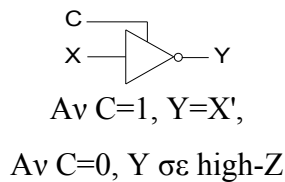
Στα επόμενα, περιγράφονται βασικές αρχές λειτουργίας των τρισταθών κυκλωμάτων και των κυκλωμάτων ανοικτού συλλέκτη, πριν διατυπωθούν οι Εργαστηριακές Ασκήσεις. Όλοι οι σπουδαστές πρέπει να έχουν μελετήσει πολύ ικανοποιητικά το κεφ. 10-5 του M. Mano και αυτά που ακολουθούν στην παρούσα εκφώνηση της 5^{ης} Σειράς Ασκήσεων και να έχουν προετοιμάσει θεωρητικά και πρακτικά τις ασκήσεις τους, πριν από την προσέλευση στο Εργαστήριο για την παρουσίαση των κυκλωμάτων και την εξέτασή τους.

4.2. Λογικά κυκλώματα με τρισταθείς εξόδους

Οι εξοδοί των τρισταθών λογικών κυκλωμάτων έχουν τρεις ευσταθείς καταστάσεις (εξ ου και τρισταθή) :

- Υψηλής τάσης (H),
- Χαμηλής τάσης (L) και
- Πολύ υψηλής αντίστασης εξόδου (high-Z).

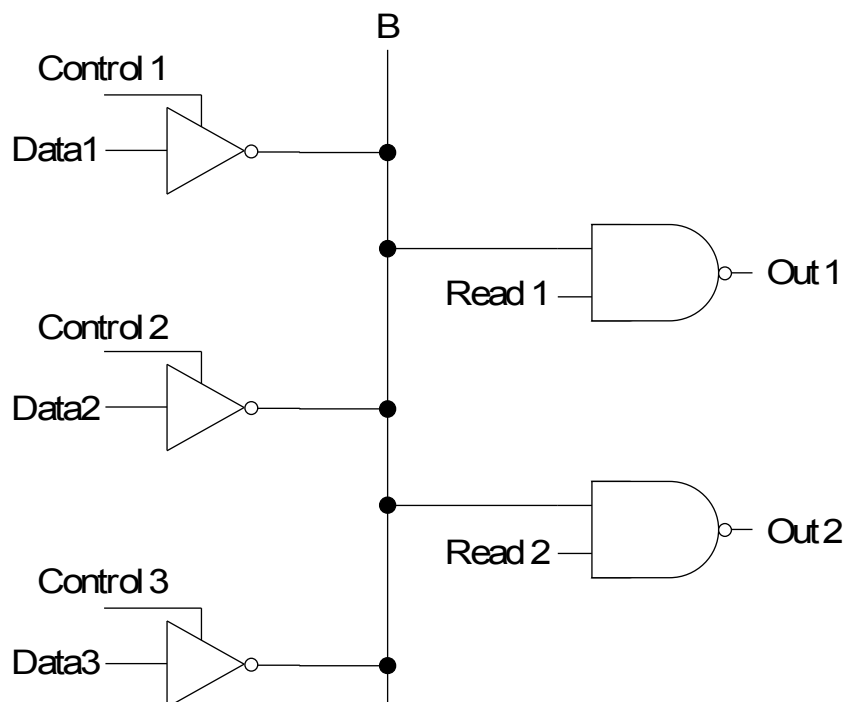
Στις δύο πρώτες περιπτώσεις, η έξοδος της πύλης οδηγείται από την ίδια την πύλη στην αντίστοιχη τάση H ή L, ανάλογα με τις εισόδους και το είδος της πύλης. Στην τρίτη όμως περίπτωση, η αντίσταση εξόδου της πύλης γίνεται εξαιρετικά υψηλή, ώστε να μπορεί να θεωρήσει κανείς ότι, πρακτικά, η έξοδος της πύλης αποσυνδέεται από το κύκλωμα που ακολουθεί. Ο έλεγχος της αντίστασης εξόδου καθορίζεται από μια επιπλέον γραμμή εισόδου που έχουν οι πύλες αυτές, την *είσοδο ελέγχου C*. Έτσι, οι επόμενες πύλες με τρισταθείς εξόδους, έχουν τον εξής τρόπο λειτουργίας:



Ο τρόπος χρήσης των κυκλωμάτων με τρισταθείς εξόδους είναι ο εξής:

Οι έξοδοι δύο ή περισσότερων πυλών συνδέονται άμεσα (γαλβανικά) μεταξύ τους (ή, αλλιώς, καλωδιώνονται, εξ ου και καλωδιωμένη λογική). Ανά πάσα στιγμή, όλες οι πύλες εκτός από μία πρέπει να είναι σε κατάσταση υψηλής αντίστασης εξόδου (high-Z). Η μοναδική πύλη που δεν είναι σε κατάσταση υψηλής εξόδου, είναι αυτή που καθορίζει το δυναμικό (H ή L) του σημείου στο οποίο είναι συνδεδεμένες οι έξοδοι των πυλών, ανάλογα με τον τύπο της και τις τιμές των εισόδων της.

Έτσι, στο κύκλωμα του επόμενου σχήματος χρησιμοποιούνται αντιστροφείς με τρισταθείς εξόδους για την δημιουργία ενός στοιχειώδους διαύλου δεδομένων ενός bit. Οι πύλες στο αριστερό μέρος του σχήματος πρέπει να έχουν τέτοια σήματα ελέγχου (Control1, Control2, Control3), ώστε όλες εκτός από μια να έχουν τις εξόδους τους σε κατάσταση high-Z, ενώ η πύλη που δεν θα είναι στην κατάσταση αυτή θα καθορίσει την τιμή L ή H (0 ή 1 για θετική λογική) της τάσης του διαύλου B. Στην συνέχεια, οι πύλες “ανάγνωσης” της τιμής του διαύλου (οι πύλες NAND στο δεξιό μέρος του σχήματος), μεταφέρουν την τιμή $Data_x$ στην έξοδό τους ή την αποκόπτουν, ανάλογα με τις τιμές των σημάτων επίτρησης Read1 και Read2. Εάν, π.χ., σε μια δεδομένη στιγμή Control1=Control2=0 και Control3=1, τότε οι πύλες 1 και 2 πρακτικά αποσυνδέονται από τον δίαυλο και $B=Data_3'$. Δηλαδή, για $i=1$ ή 2, $Out_i=Data_3$ για $Read_i=1$ και $Out_i=1$ για $Read_i=0$.

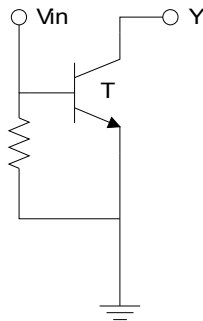


Ας σημειωθεί ότι, αν αντί τρισταθών αντιστροφέων στο αριστερό μέρος του σχήματος χρησιμοποιηθούν τρισταθείς απομονωτές, οι πύλες NAND πρέπει να αντικατασταθούν από AND. Ακόμη, αντί συμβατικών πυλών με επίτρηση στο δεξιό μέρος του σχήματος, μπορούμε να χρησιμοποιήσουμε εναλλακτικά τρισταθείς πύλες, αλλά με ελαφρά διαφορετική φιλοσοφία σχεδίασης (ποια;).

4.3. TTL Κυκλώματα Ανοικτού Συλλέκτη

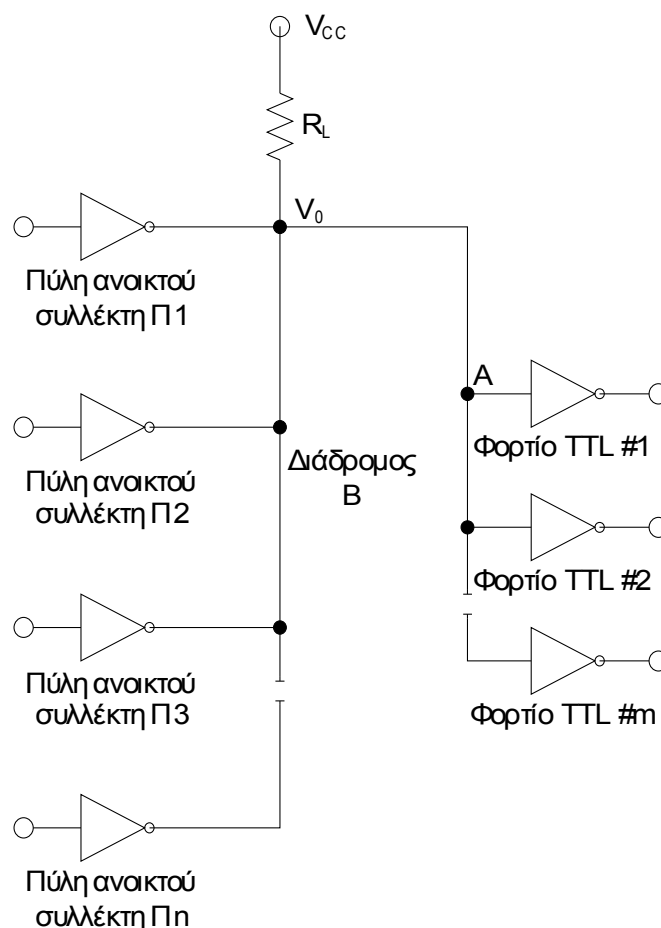
4.3.1. Υλοποίηση διαύλου με TTL κυκλώματα ανοικτού συλλέκτη

Στα κυκλώματα ανοικτού συλλέκτη (κεφ. 10-5 του Μ. Μανο), το στάδιο εξόδου είναι όπως στο επόμενο σχήμα:



Αν η V_{in} είναι τέτοια, ώστε η διόδος βάσης-εκπομπού του τρανζίστορ εξόδου T να είναι ορθά πολωμένη, τότε το τρανζίστορ αυτό άγει και κατεβάζει την έξοδο Y χαμηλά (στην τάση L). Αλλιώς, το T είναι σε αποκοπή και η τάση στο Y πρέπει να καθοριστεί από κάποια εξωτερικά της πύλης, πρόσθετα στοιχεία του κυκλώματος. Η V_{in} καθορίζεται από το είδος και τις τιμές των εισόδων της πύλης ανοικτού συλλέκτη.

Ο τρόπος χρήσης των κυκλωμάτων με εξόδους ανοικτού συλλέκτη για την κατασκευή ενός διαδρόμου δεδομένων φαίνεται στο επόμενο σχήμα, που είναι ένας διάδρομος δεδομένων του ενός bit. Για λόγους απλότητας, χρησιμοποιούμε απλούς αντιστροφείς με έξοδο ανοικτού συλλέκτη (στη θέση τους θα μπορούσαμε να χρησιμοποιήσουμε οποιεσδήποτε πύλες με αντίστοιχες εξόδους).



Οι επιτρεπτές καταστάσεις του κυκλώματος αυτού είναι μόνο δύο:

α) Όλες οι πύλες ανοικτού συλλέκτη, των οποίων οι εξόδοι είναι συνδεδεμένες στο σημείο A , έχουν τα τρανζίστορ εξόδου τους σε αποκοπή. Επομένως, η αντίσταση R_L «σηκώνει» την τάση στο H , με την προϋπόθεση ότι η πτώση τάσης πάνω στην αντίσταση αυτή είναι μικρή, ώστε η τάση στο A να μην κατέβει πολύ κάτω από το V_{cc} . Η πτώση τάσης αυτή οφείλεται στα ρεύματα διαρροής των αποκομμένων τρανζίστορ εξόδου του αριστερού μέρους του σχήματος και στα ρεύματα προς τις εισόδους των κυκλωμάτων TTL που συνδέονται στο A στο δεξιό μέρος του σχήματος (των φορτίων TTL, όπως λέγονται). Επειδή όμως όλα αυτά τα ρεύματα είναι πολύ μικρά, είναι εύκολο να υπολογίσουμε κατάλληλα την αντίσταση R_L , ώστε η πτώση τάσης πάνω στην αντίσταση R_L να είναι μικρή. Ο υπολογισμός αυτός δίνει μια μέγιστη επιτρεπτή τιμή της R_L .

β) Μόνο μια πύλη ανοικτού συλλέκτη έχει το τρανζίστορ εξόδου της σε αγωγή, ενώ όλες οι άλλες το έχουν σε αποκοπή. Το τρανζίστορ που άγει, τότε, κατεβάζει το δυναμικό του σημείου A στην τάση L , εάν η τιμή της αντίστασης R_L υπολογιστεί έτσι, ώστε η συνολική πτώση τάσης πάνω της (που οφείλεται στο ρεύμα το οποίο διαρρέει το τρανζίστορ εξόδου που είναι σε αγωγή) να είναι αρκετά μεγάλη. Ο υπολογισμός αυτός δίνει μια ελάχιστη επιτρεπτή τιμή της αντίστασης αυτής, όπως θα εξηγηθεί αναλυτικά στα επόμενα.

Έτσι, μπορεί να ακολουθήσει κανείς τους εξής δύο απλούς κανόνες για τη δημιουργία του διαδρόμου ενός bit:

- Οι πύλες που δεν πρέπει να επηρεάζουν την τιμή της τάσης (και επομένως το λογικό σήμα) στο διάδρομο B , πρέπει να έχουν τα τρανζίστορ εξόδου τους σε αποκοπή.
- Μια μοναδική πύλη κάθε φορά θα καθορίζει την τιμή του διαδρόμου, ως εξής: Αν το τρανζίστορ εξόδου της είναι σε αποκοπή, ο διάδρομος παίρνει την τιμή H , ενώ αν το ίδιο τρανζίστορ άγει, ο διάδρομος παίρνει την τιμή L .

Αν ο διάδρομος έχει περισσότερα από ένα bits, τα πιο πάνω ισχύουν για κάθε ένα από τα bits του διαδρόμου ξεχωριστά. Μια αντίσταση R_{Ln} πρέπει να επιλεγεί για κάθε bit B_n του διαδρόμου.

Οι κανόνες αυτοί επιτρέπουν να βρει κανείς εύκολα τι ακριβώς πρέπει να κάνει για να σχεδιάσει ένα διάδρομο δεδομένων με πύλες της επιλογής του (π.χ. AND, NAND, NOT, XOR κλπ.) με εξόδους ανοικτού συλλέκτη.

4.3.2. Υπολογισμός της τιμής της αντίστασης R_L

Στα επόμενα θα εξηγηθούν αναλυτικότερα οι περιορισμοί στην επιλογή της τιμής της αντίστασης R_L . Υποθέτουμε πάλι για απλότητα, ότι έχουμε διάδρομο του ενός bit. Οι περιορισμοί που προκύπτουν για την R_L , ισχύουν για κάθε bit B_n του διαδρόμου.

Οι TTL προδιαγραφές επιβάλλουν:

- Ο παράλληλος συνδυασμός των $\Pi_1, \dots, \Pi_n$, να μπορεί να οδηγήσει από ένα έως εννέα φορτία TTL (δηλαδή μία έως εννέα εισόδους επόμενων πυλών TTL).
- Μια πύλη Π_i μόνη της, μπορεί να οδηγήσει από ένα έως δέκα φορτία TTL.

Ανάλογα με το πόσες εξόδοι πυλών είναι βραχυκυκλωμένες για να σχηματίσουν τον διάδρομο B , καθώς και με το πόσα φορτία οδηγούν οι πύλες αυτές, μια κατάλληλη αντίσταση R_L πρέπει να υπολογιστεί. Έστω ότι έχουμε βραχυκυκλωμένες τις εξόδους n πυλών, οι οποίες

οδηγούν m φορτία TTL. Θα εξετάσουμε τις δύο διαφορετικές επιτρεπτές καταστάσεις του κυκλώματος αυτού.

Κατάσταση 1η:

Όταν όλες οι πύλες Π1, Π2, ..., Π n , έχουν τα τρανζίστορ εξόδου τους σε αποκοπή, η τάση V_0 στο διάδρομο Β πρέπει να είναι μέσα στην περιοχή τιμών που χαρακτηρίζεται Η (high, υψηλή). Η V_0 έχει την τιμή:

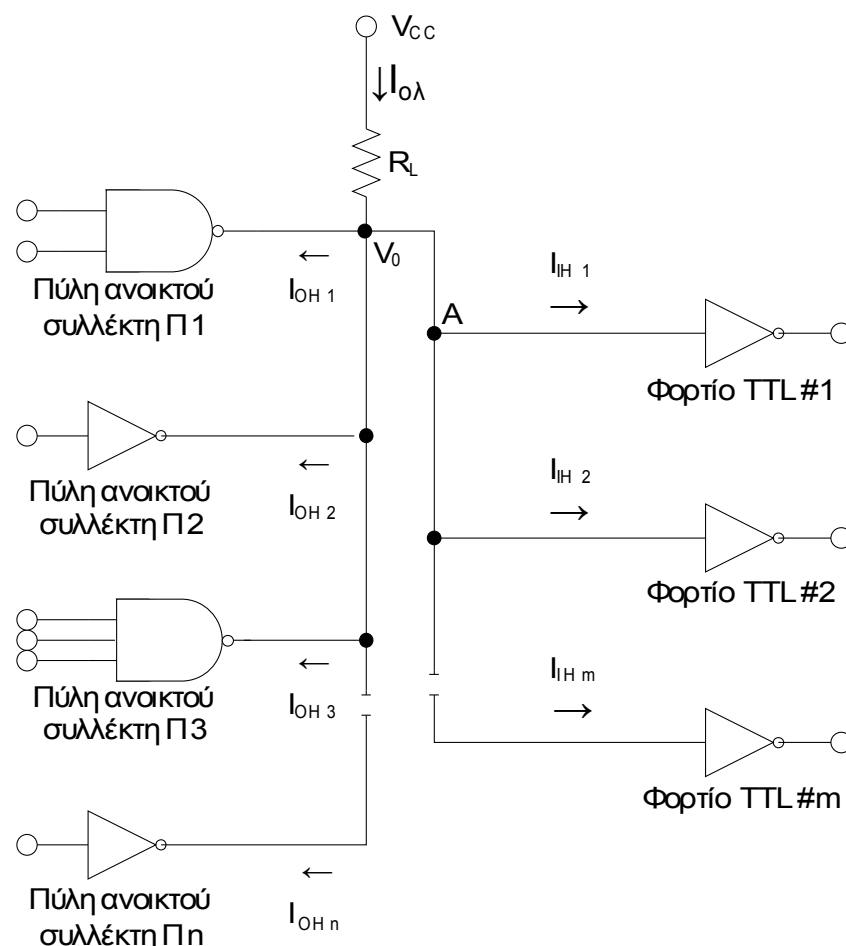
$$V_0 = V_{CC} - V_{RL} = V_{CC} - I_{o\lambda} R_L ,$$

όπου V_{RL} η πτώση τάσης πάνω στην αντίσταση R_L , και

$$I_{o\lambda} = \sum_{i=1}^n I_{OH_i} + \sum_{j=1}^m I_{IH_j} ,$$

με I_{OH_i} το ρεύμα διαρροής καθ' ενός από τα ίδια τρανζίστορ εξόδου των πυλών Π1, Π2, ..., Π n , και I_{IH_j} το ρεύμα που εισρέει στα φορτία TTL. Αν πρόκειται για όμοιες πύλες και όμοια φορτία:

$$I_{o\lambda} = n I_{OH} + m I_{IH}$$



Οι προδιαγραφές TTL καθορίζουν την ελάχιστη τάση V_{OHmin} που θεωρείται υψηλή (H) στη συγκεκριμένη σειρά TTL. Π.χ. για τη σειρά 74LS και για AND πύλες, και επειδή επιθυμούμε συμβατότητα με τα συμβατικά ολοκληρωμένα TTL που έχουν εξόδους τύπου τοτέμ (totem-pole), έχουμε $V_{OHmin} = 2,7$ V. Επομένως, η μέγιστη επιτρεπόμενη πτώση τάσης πάνω στην R_L είναι η διαφορά

$$V_{RLmax} = V_{CC} - V_{OHmin} ,$$

που αλλιώς γράφεται και

$$R_{Lmax} I_{ολmax} = V_{CC} - V_{OHmin} ,$$

όπου ο υπολογισμός της R_{Lmax} γίνεται, για λόγους ασφάλειας, για τη δυσμενέστερη περίπτωση του μέγιστου ρεύματος $I_{ολmax}$. Οπότε:

$$R_{Lmax} = \frac{V_{CC} - V_{OHmin}}{I_{ολmax}} ,$$

Οι είσοδοι όμως των φορτίων TTL είναι εκπομποί τρανζίστορ σε αποκοπή (παρ. 10-5 Μ. Μανο), οπότε εμφανίζουν πολύ υψηλή αντίσταση εισόδου. Οι προδιαγραφές της συγκεκριμένης οικογένειας TTL καθορίζουν το μέγιστο ρεύμα εισόδου I_{IHmax} που καταναλώνει ένα φορτίο TTL όταν οδηγείται από υψηλή τάση Η. Το ρεύμα αυτό είναι της τάξεως μερικών δεκάδων μA . Η ακριβής τιμή του εξαρτάται από την οικογένεια του ολοκληρωμένου (π.χ. 74XX, 74SXX, 74LSXX κλπ.) και μπορεί να βρεθεί από τα αντίστοιχα βιβλία προδιαγραφών διαφόρων εταιριών.

Αντίστοιχα, οι προδιαγραφές καθορίζουν επίσης το μέγιστο ρεύμα διαρροής I_{OHmax} καθ' ενός από τα τρανζίστορ εξόδου των πυλών Π1, Π2, ..., Πn, όταν αυτά είναι σε αποκοπή και η κοινή έξοδός τους είναι σε υψηλή τάση Η.

Επομένως:

$$I_{ολ} = \sum_{i=1}^n I_{OHmaxi} + \sum_{j=1}^m I_{IHmaxj}$$

και για όμοιες πύλες και όμοια φορτία

$$I_{ολmax} = n I_{OHmax} + m I_{IHmax}$$

και

$$R_{Lmax} = \frac{V_{CC} - V_{OHmin}}{n I_{OHmax} + m I_{IHmax}}$$

Έτσι υπολογίσαμε μια μέγιστη τιμή για την αντίσταση R_L .

Παράδειγμα: Για την οικογένεια 74LS έχουμε

- $I_{OHmax} = 100 \mu A$,
- $I_{IHmax} = 20 \mu A$ και
- $V_{OHmin} = 2,7 V$,

οπότε, γι' αυτήν πάντα την οικογένεια, ισχύει:

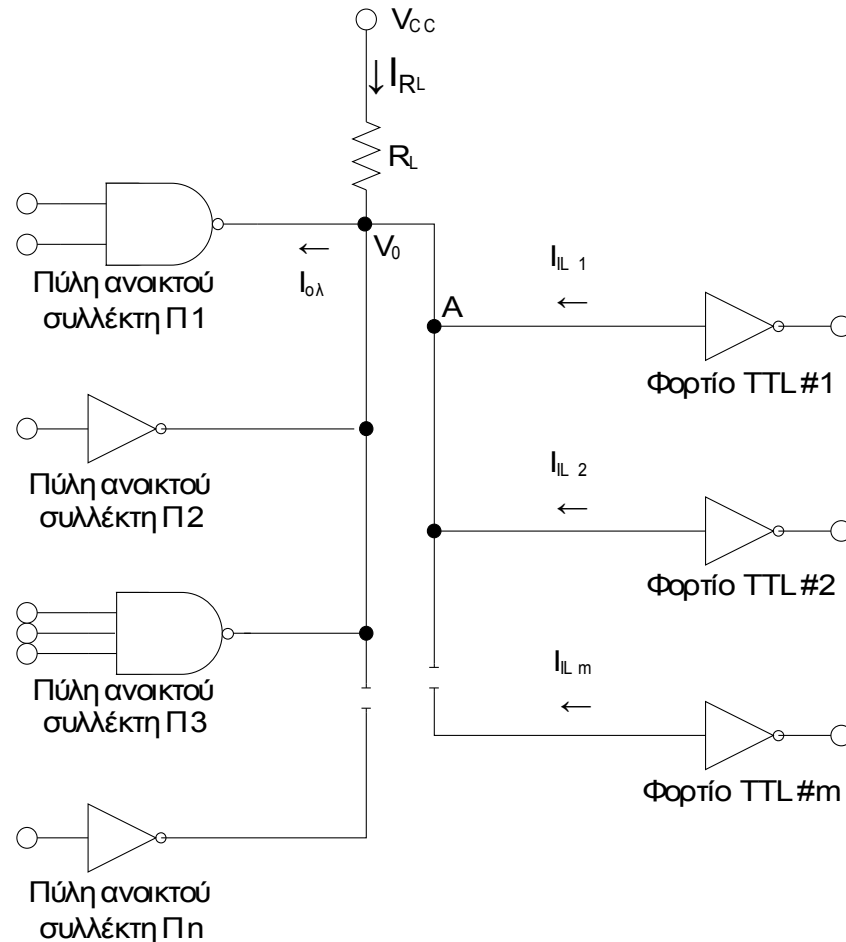
$$R_{Lmax} = \frac{V_{CC} - 2.7}{n 100\mu A + m 20\mu A}$$

Έτσι, αν για παράδειγμα $V_{CC} = 5V$, $n = 8$ και $m = 4$, βρίσκουμε

$$R_{Lmax} = 2613 \Omega.$$

Κατάσταση 2η:

Έστω ότι το τρανζίστορ εξόδου μιας πύλης από τις Π1, Π2, ..., Πn, π.χ. της Π1, άγει.



Τότε η τάση του σημείου A του κυκλώματος πρέπει να είναι μικρή, και μάλιστα πιο μικρή από την μέγιστη επιτρεπόμενη τιμή V_{OLmax} που μπορεί να έχει η έξοδος μιας πύλης της οικογένειας αυτής ώστε να θεωρείται ότι είναι χαμηλή (L). Π.χ., για την οικογένεια 74LS είναι $V_{OLmax} = 0,5 \text{ V}$. Έτσι πρέπει:

$$V_{RLmin} = V_{CC} - V_{OLmax} \quad ,$$

ή αλλιώς

$$(R_L I_{RL})_{min} = V_{CC} - V_{OLmax}$$

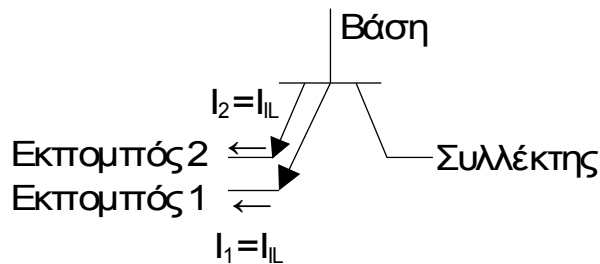
Αλλά:

$$I_{RL} = I_{OL} - m I_{IL}$$

όπου I_{OL} το ρεύμα που διαρρέει το τρανζίστορ που άγει και I_{IL} το ρεύμα προς κάθε ένα φορτίο TTL. Ας σημειωθεί ότι το ρεύμα εισόδου των πυλών Π2, ..., Πn των οποίων το τρανζίστορ εξόδου είναι σε αποκοπή, είναι ασήμαντο και το αγνοούμε.

Επειδή χρειαζόμαστε μεγάλη πτώση τάσης πάνω στην R_L , μας συμφέρει ν' αυξήσουμε όσο γίνεται το ρεύμα I_{RL} , και επομένως το I_{OL} . Ωστόσο, δεν μπορούμε να ξεπεράσουμε το μέγιστο ρεύμα I_{OLmax} που επιτρέπεται να περάσει από το τρανζίστορ εξόδου της Π1. Το ρεύμα αυτό καθορίζεται από τις προδιαγραφές TTL.

Εξ άλλου, το καθ' ένα από τα φορτία TTL (δηλαδή καθεμιά από τις εισόδους των πυλών TTL που συνδέονται στο A) είναι ο εκπομπός ενός τρανζίστορ, του οποίου η διόδος βάσης - εκπομπού είναι ορθά πολωμένη (παρ. 10-5 M. Mano).



Η δυσμενέστερη περίπτωση είναι τα ρεύματα I_{IL} να έχουν τη μέγιστη τιμή τους I_{ILmax} , αφού τότε μειώνουν το ρεύμα που περνάει από την R_L . Σύμφωνα με τις προδιαγραφές, το μέγιστο αυτό ρεύμα είναι της τάξης μερικών mA (πολύ μεγαλύτερο από το I_{IH} , αφού αυτή τη φορά η διάοδος Βάσης - Εκπομπού είναι ορθά πολωμένη).

Επομένως:

$$R_{Lmin} = \frac{V_{RLmin}}{I_{RL}} = \frac{V_{CC} - V_{OLmax}}{I_{OLmax} - mI_{ILmax}}$$

Έτσι, υπολογίσαμε μια ελάχιστη τιμή για την αντίσταση R_L .

Παράδειγμα: Για την οικογένεια 74LS ισχύει

- $V_{OLmax} = 0.5 \text{ V}$,
- $I_{OLmax} = 8 \text{ mA}$ και
- $I_{ILmax} = 0.4 \text{ mA}$,

οπότε για $V_{CC} = 5 \text{ V}$ και $m = 4$ έχουμε $R_{Lmin} = 703 \Omega$.

Ανακεφαλαιώνοντας, από τις προηγούμενες περιπτώσεις, για την R_L πρέπει να ισχύει:

$$R_{Lmin} \leq R_L \leq R_{Lmax}$$

και αναλυτικότερα:

$$\frac{V_{CC} - V_{OLmax}}{I_{OLmax} - mI_{ILmax}} \leq R_L \leq \frac{V_{CC} - V_{OHmin}}{nI_{OHmax} + mI_{IHmax}}$$

4.4. Εργαστηριακές Ασκήσεις

Κολλήστε μόνον το πρώτο από τα επόμενα κυκλώματα (αυτό της ασκήσης 4.4.1) στην πλακέτα. Κατασκευάστε τα δύο επόμενα κυκλώματα (αυτά των ασκήσεων 4.4.2 και 4.4.3) σε breadboard. Ελέγξτε την λειτουργία όλων των κυκλωμάτων *πριν από το Εργαστήριο* και, στο Εργαστήριο, επιδείξτε τα κυκλώματα στους διδάσκοντες.

4.4.1. Κύκλωμα ρολογιού.

Βασισμένοι στο κύκλωμα 11-21 του Μ. Μανο (και τις σχετικές επεξηγήσεις του συγκεκριμένου υποκεφαλαίου), σχεδιάστε και κολλήστε σε πλακέτα μια παλμογεννήτρια ρολογιού με μεταβλητό *duty-cycle*, δηλαδή λόγο χρόνου t_H όπου το σήμα είναι Η προς την περίοδο $t_{\text{περιόδου}} = t_H + t_L$, όπου t_L ο χρόνος, όπου το σήμα είναι L.

Το κύκλωμα αυτό χρησιμοποιεί το ολοκληρωμένο χρονισμού 555 σε διάταξη ασταθούς πολυδονητή, του οποίου η συχνότητα ταλάντωσης καθορίζεται από τις τιμές των αντιστάσεων R_A και R_B και του πυκνωτή C σύμφωνα με τις σχέσεις:

$$t_L = 0,693 R_B C$$

$$t_H = 0,693 (R_A + R_B) C$$

Υπολογίστε τις τιμές των R_A και R_B για $C = 10 \mu F$ και:

- i. Συχνότητα 0.5 Hz και $t_L = 10 \text{ ms}$
- ii. Συχνότητα 0.5 Hz και $t_L = 1 \text{ s}$
- iii. Συχνότητα 10 Hz και $t_L = 10 \text{ ms}$

Χρησιμοποιείτε λογαριθμικά τρίμερ για την R_A και την R_B , κατάλληλης τιμής, ώστε να μπορείτε να πετύχετε τις επιθυμητές περιοχές τιμών του t_H και του $t_{\text{περιόδου}} = t_H + t_L$.

Στη συνέχεια, αντιστρέψτε τους αρνητικούς παλμούς με έναν αντιστροφέα.

Μπορείτε επίσης να συνδέσετε μία δίοδο παράλληλα στην R_B , με την άνοδο στον ακροδέκτη 7 του ολοκληρωμένου και την κάθοδο στον μη γειωμένο ακροδέκτη του C. Στην περίπτωση αυτή, η φόρτιση του πυκνωτή γίνεται μέσα από την R_A και την δίοδο αυτή (και όχι μέσα από την R_B). Τι πλεονεκτήματα έχει αυτή η συνδεσμολογία;

4.4.2. Κατασκευή διαύλου δεδομένων με κυκλώματα ανοικτού συλλέκτη

Χρησιμοποιώντας πύλες με εξόδους ανοικτού συλλέκτη, κατασκευάστε έναν δίαυλο δεδομένων του ενός bit B, του οποίου η τιμή τάσης (L ή H) καθορίζεται ως εξής:

Ανάλογα με μία είσοδο επιλογής των δύο bits $S_1 S_0$:

- αν $S_1 S_0 = 00$, τότε $B \leftarrow A_0$,
- αν $S_1 S_0 = 01$, τότε $B \leftarrow A_1$ και
- αν $S_1 S_0 = 10$, τότε $B \leftarrow A_2$,

όπου A_0 , A_1 και A_2 δεδομένα λογικά σήματα. Ακόμη, ο δίαυλος πρέπει να οδηγεί έναν αντιστροφέα (δηλαδή ένα φορτίο TTL). Υπολογίστε την περιοχή τιμών της αντίστασης R_L και επιλέξτε μία κατάλληλη τιμή για αυτήν. Ποιο κύκλωμα θα χρησιμοποιήσετε ώστε να εξασφαλίσετε ότι *μόνον* ένα από τα A_0 , A_1 και A_2 θα επιβάλει λογική τιμή στον δίαυλο ανά πάσα στιγμή;

Υπόδειξη:

Μπορείτε να χρησιμοποιήσετε ένα από τα ολοκληρωμένα 74LS01 ή 74LS03, τα οποία περιέχουν 4 πύλες NAND των δύο εισόδων, κάθε μία εκ των οποίων έχει έξοδο ανοικτού συλλέκτη. Στη μία είσοδο κάθε πύλης μπορείτε να βάλετε μία από τις γραμμές A_i και μία είσοδο ελέγχου C_i , $i=0,1,2$. Υποθέτουμε ότι χρησιμοποιούμε θετική λογική. Αν για κάποια πύλη i ισχύει $C_i=1$, η κατάσταση του τρανζίστορ εξόδου της πύλης καθορίζεται από το A_i . Αντίθετα, αν $C_i=0$, το τρανζίστορ εξόδου θα οδηγηθεί σε αποκοπή (αφού αυτός είναι ο τρόπος με τον οποίο το κύκλωμα ανοικτού συλλέκτη της πύλης NAND επιχειρεί να δώσει τάση εξόδου H). Στην περίπτωση όμως αυτή, η πύλη δεν επηρεάζει το δυναμικό του B. Έτσι,

αν κρατάμε πάντα όλα τα C_i στο 0, εκτός από ένα C_k στο οποίο δίνουμε 1 (ας ονομάσουμε την συνθήκη αυτή *συνθήκη A*), τότε: Οι πύλες για τις οποίες $C_i=0$ δεν επηρεάζουν την λογική τιμή στο B, ενώ η είσοδος A_k καθορίζει την λογική τιμή στον δίαυλο. Έτσι, μπορείτε να χρησιμοποιήσετε την μεθοδολογία αυτή για την κατασκευή του διαύλου.

Για να εξασφαλίσετε την ισχύ της συνθήκης A, μπορείτε να χρησιμοποιήσετε ένα αποκωδικοποιητή ο οποίος θα παράγει τα C_i από τα S_1 και S_0 (πχ. το 74LS155 ή 74155 σε συνδυασμό με αντιστροφείς, αφού το ολοκληρωμένο αυτό έχει εξόδους ενεργές χαμηλά). Πάρτε τα S_1 και S_0 από διακόπτες. Χρησιμοποιείστε έναν αντιστροφέα για φορτίο στο B και οδηγείστε την έξοδο του αντιστροφέα αυτού σε ένα ενδεικτικό led. Αν το κύκλωμά σας λειτουργεί σωστά, το led αυτό πρέπει να δείχνει την τιμή του A_k , για το οποίο ισχύει $C_k=1$.

- Υπολογίστε το κατάλληλο εύρος τιμών για την pull-up αντίσταση για τις οικογένειες ολοκληρωμένων 74XX και 74LSXX, με βάση την παράγραφο 4.3

4.4.3. Κατασκευή διαύλου δεδομένων με τρισταθή κυκλώματα.

Χρησιμοποιώντας την παλμογεννήτρια ρολογιού που φτιάξατε στην 4.4.1 και δύο μετρητές, ένα εκ των οποίων συνδέετε σαν μετρητή 4 bits προς τα πάνω και έναν σαν μετρητή 4 bits προς τα κάτω, κατασκευάστε δύο σήματα δυαδικής μέτρησης: το $A_3A_2A_1A_0$, το οποίο αυξάνεται κατά ένα με κάθε παλμό του ρολογιού, και το $B_3B_2B_1B_0$, το οποίο μειώνεται κατά ένα με κάθε παλμό του ρολογιού. Χρησιμοποιείστε συχνότητα ρολογιού 1 Hz. Κατασκευάστε δίαυλο δεδομένων 4 bits με τρισταθή κυκλώματα, ο οποίος αν $A > B$ πρέπει να τίθεται στην τιμή $A_3A_2A_1A_0$ διαφορετικά πρέπει να τίθεται στην $B_3B_2B_1B_0$. Το σήμα ελέγχου θα προκύπτει από έναν συγκριτή (7485) 4bit. Επιδείξτε την τιμή του διαύλου συνδέοντας τις επί μέρους γραμμές του διαύλου σε ενδεικτικά leds.

Υπόδειξη:

Για τους μετρητές, μπορείτε να χρησιμοποιήσετε ένα 74193 και ένα 74163. Για την υλοποίηση του διαύλου δεδομένων, μπορείτε να χρησιμοποιήσετε δύο 74LS125, που είναι τετραπλά τρισταθή buffers (απομονωτές: οι εξοδοί τους Y_i ακολουθούν λογικά τις εισόδους τους X_i : $Y_i=X_i$). Για τον έλεγχο των τρισταθών κυκλωμάτων χρησιμοποιήστε σήματα τα οποία θα πάρετε από τις κατάλληλες εξόδους του συγκριτή μεγέθους.